

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-018892

(43)Date of publication of application : 28.01.1991

(51)Int.Cl.

G09G 3/36

G02F 1/133

H04N 5/66

(21)Application number : 01-154002

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 16.06.1989

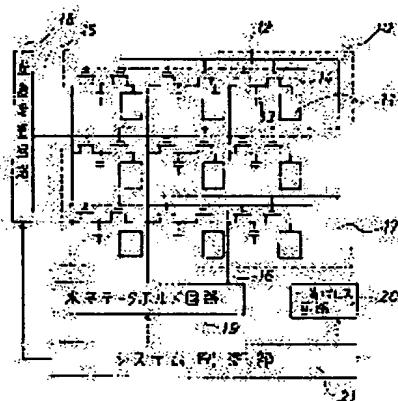
(72)Inventor : FUTAGAWA YOSHIKIYO

(54) FACE SEQUENTIAL DISPLAY

(57)Abstract:

PURPOSE: To obtain an image having presence by executing successively storage until all images are fetched once by a storage capacitor for executing temporary storage in a display part and a first switch group for fetching image data, and displaying them simultaneously.

CONSTITUTION: A transistor 12 for showing a first switch group is switched through a line 15, whenever a vertical scanning signal of a vertical scanning circuit 18 is generated, through a line 16 as to image data of a horizontal data holding circuit 19, and it is stored successively in a storage capacitor 13 containing the parasitic capacity, as well. A transistor 14 for showing a second switch group transfers the image data to a unit display element 11 from the storage capacitor 13, and its gate electrodes are all connected in a lump and switched simultaneously by a simultaneous pulse of a simultaneous pulse circuit 20. Accordingly, the image data taken instantaneously is fetched in order of sending an image, but it is accumulated once and whole image can be changed simultaneously. In such a way, a forceful image can be displayed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office



⑩日本国特許庁(JP) ⑪特許出願公開
⑫公開特許公報(A) 平3-18892

⑬Int. Cl. 5

G 09 G 3/36
G 02 F 1/133
H 04 N 5/66

識別記号

550

B

序内整理番号

8621-5C

7709-2H

7605-5C

⑭公開 平成3年(1991)1月28日

審査請求 未請求 請求項の数 1 (全3頁)

⑮発明の名称 面順次表示装置

⑯特 願 平1-154002

⑯出 願 平1(1989)6月16日

⑰発明者 二川 良清 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
⑯出願人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号
会社
⑯代理人 弁理士 鈴木 喜三郎 外1名

明細書

【発明上の利用分野】

本発明は迫力ある映像を創出する面順次表示装置の構成に関する。

【従来の技術】

第2図が従来技術による実施例のブロック図である。1が表示部で、2が液晶表示による単位表示素子である。3はドレイン電極が単位表示素子2に、ソース電極が垂直方向に共通ライン5で2列水平データホールド回路7に、ゲート電極が水平方向に共通ライン4で垂直走査回路6にそれぞれ繋れているトランジスタである。表示部1は簡単の為に4単位表示素子で示したが実際は240×240~600×480単位表示素子でテレビ等に応用されている。

8はシステムを制御するシステム制御部である。水平データホールド回路7は水平方向の映像データを垂直走査回路6が次の垂直走査信号を発生するまで同じデータをホールドする。垂直走査信号が発生しているラインのトランジスタは導通して水平データホールド回路のデータ貯に比例して単位表示

1. 発明の名称

面順次表示装置

2. 特許請求の範囲

(1) 垂直m行と水平n列よりなる面素数m×n個の表示装置に於て、前記面素数に対応したゲート電極が水平方向にまとめられてmライン垂直走査回路にソース電極が垂直方向にm個まとめられてnライン水平データホールド回路にそれぞれ接続されている第1スイッチ群、この第1スイッチ群のドレイン電極に独立に接続されている寄生容量も含む記憶コンデンサー、この記憶コンデンサーをソース電極にドレイン電極を単位表示素子に接続されてゲート電極は一括接続されている第2スイッチより成り、面順次で表示可能にしたことを特徴とする面順次表示装置。

3. 発明の詳細な説明

素子2を励起する。

従来技術による表示装置はこの様に線順次表示の構成であった。

〔発明が解決しようとする課題〕

しかし、前述の従来技術では最近のテレビカメラの高速高感度化に伴う迫力のある画面には特性を表現出来ない問題点がある。

それは、第3図に示す様な1/60秒毎に1/1000~1/5000秒の瞬間取の第1フィルド、第2フィルド……の映像を1/60秒に線順次で伸長する為に、瞬間の動きが上下四回ですり迫力を欠けるのである。

そこで本発明はこの問題点を解決するもので、目的は映像データの取り込みは点、又は線順次であるが、表示は面順次にした面順次表示装置の提供にある。

〔課題を解決するための手段〕

垂直m行と水平n列よりなる画素数m×n個の表示装置に於て、前記画素数に対応したゲート電極が水平方向にまとめられてmライン垂直走査回

路にソース電極が垂直方向にn個まとめられてmライン水平データホールド回路にそれぞれ接続されている第1スイッチ群、この第1スイッチ群のドレイン電極に独立に接続されている寄生容量も含む記憶コンデンサーに線順次で画像データをフィルド画像データ、又はフレーム画像データが掘りまで一旦記憶する。

この掘った画像データを前記記憶コンデンサーをソース電極にドレイン電極を単位表示素子に接続されてゲート電極は一括接続されている第2スイッチで一齊に転送して面順次で表示する構成としたのが本発明の特徴である。

〔作用〕

本発明の以上の構成によれば、瞬間取の画像データの取り込みは送像順であるが、一旦蓄積して画面全体が一齊に変更可能にしたことにより迫力のある映像を表示出来る。

〔実施例〕

第1図は本発明の実施例に於ける具体的な回路とブロックを示す図である。10が表示部で単位

表示素子11は3×3=9個で示してある。

12は第1スイッチ群を表すトランジスタで、水平データホールド回路の画像データをライン16を通して垂直走査回路18の垂直走査信号発生毎にライン15を通じてスイッチされて、寄生容量も含む記憶コンデンサー13に順次記憶させる。

14は第2スイッチ群のトランジスタを表すもので、画像データを記憶している記憶コンデンサー13と単位表示素子11に転送する。

トランジスタ14のゲート電極は全て一括に統れて一齊パルス回路20の一齊パルスで同時にスイッチする。

この一齊パルスの発生はフィルド、又はフレームの全画像データが記憶コンデンサー13の全てに転送された後に実行する。

21はシステム制御するシステム制御部で、画像データの同期信号に合せて垂直走査回路18、水平データホールド回路19、及び一齊パルス回路20のタイミングを制御する。

ところで、単位表示素子が液晶であれその他の

ものでも必ず寄生容量がある故、記憶コンデンサー13の容量は充分大きく設定する。それは画像データに比例した電荷が単位表示素子に転送されるので電圧降下量を小さくする為である。電圧降下量が大きいと充分なコントラストが得られない。

尚、図示していないが単位表示素子11に前のデータが蓄積されると正しい表示にならない故、電荷を逃がす手段を設ける必要がある場合もある。

〔発明の効果〕

以上述べた様に本発明によれば、表示部内で一時記憶する記憶コンデンサーと画像データを取込む第1スイッチ群とで一旦全画像を取込むまで、順次記憶して一齊に表示することにより、臨場感のある画像が得られる効果は極めて大である。

4. 図面の簡単な説明

第1図は本発明の実施例に於ける具体的な回路とブロックを示す図である。

第2図は従来技術による具体的なブロック図である。

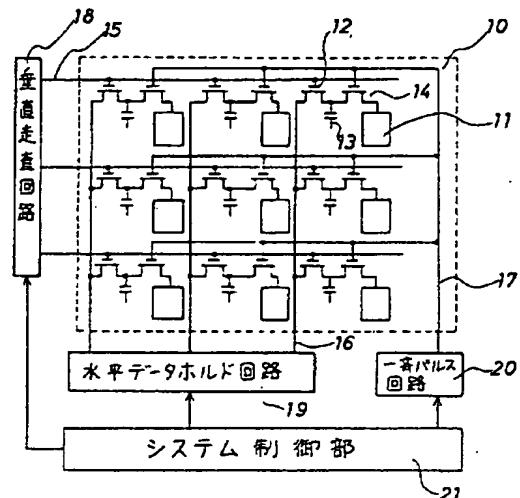
第3図はフィルド、又はフレームの時間取の画像データの様子を示す図である。

以上

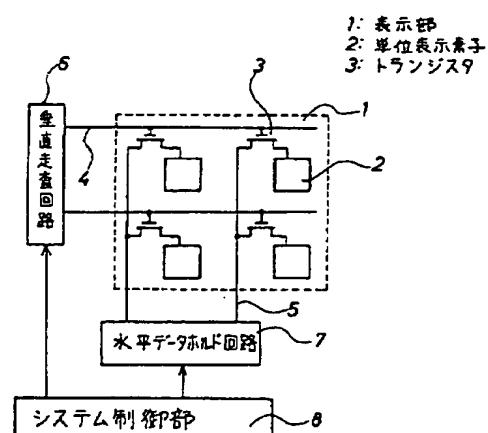
出願人 セイコーエプソン株式会社

代理人 弁理士 鈴木 喜三郎 他1名

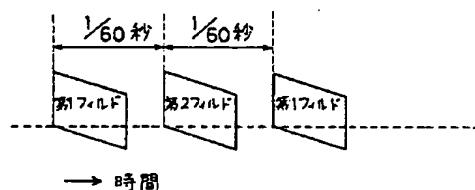
- 10: 表示部
- 11: 単位表示素子
- 12: 第1スイッチ群のトランジスタ
- 13: 配電コンデンサー
- 14: 第2スイッチ群のトランジスタ



第1図



第2図



第3図

